

磁石のマイクロ波応答特性評価と 不揮発性磁気メモリビットの設計

電子情報セミナーII

福間研究室





目的 と 日程

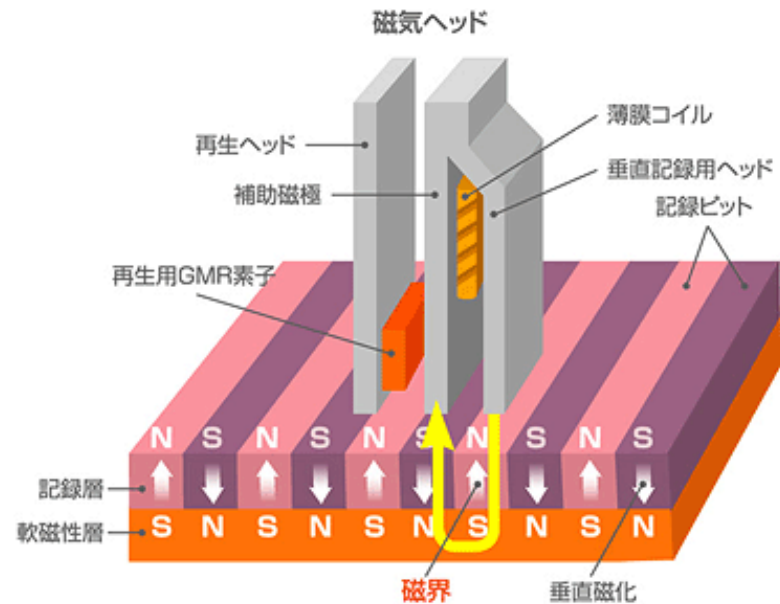
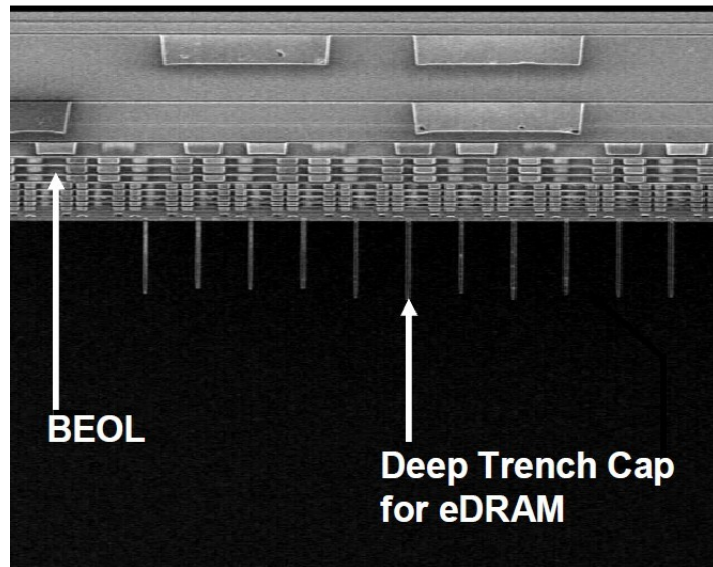
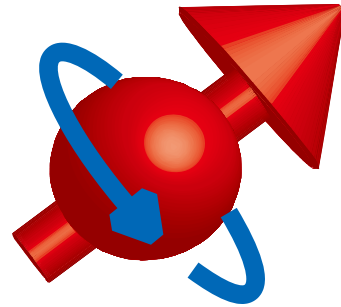
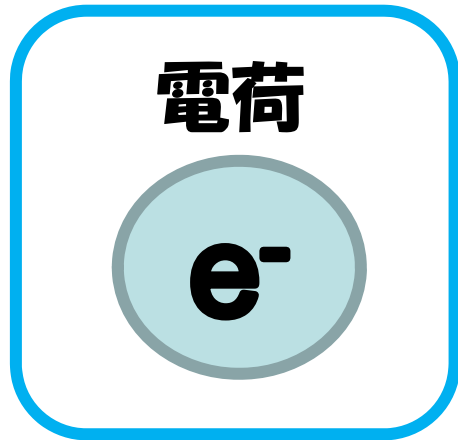
- ◆ 磁性体の基礎特性を理解する。
- ◆ マイクロ波計測技術を理解する。
- ◆ 情報記録技術を理解する。

	ROUND 1	ROUND 2
テーマ概要、磁性体の基礎特性	12/3(火) 3限	1/9(木) 4限
マイクロ波計測技術、 <i>FMR測定</i>	12/5(木) 4限	1/14(火) 3限
<i>FMR測定 + 結果の解析</i>	12/10(火) 3限	1/16(木) 4限
メモリ設計、シミュレーション	12/12(木) 4限	1/21(火) 3限
シミュレーション + 発表スライド	12/17(火) 3限	1/23(木) 4限
<i>研究発表</i>	12/24(火) 3限	1/28(火) 3限
(予備日)		



情報を記録する

電子がもつ機能性

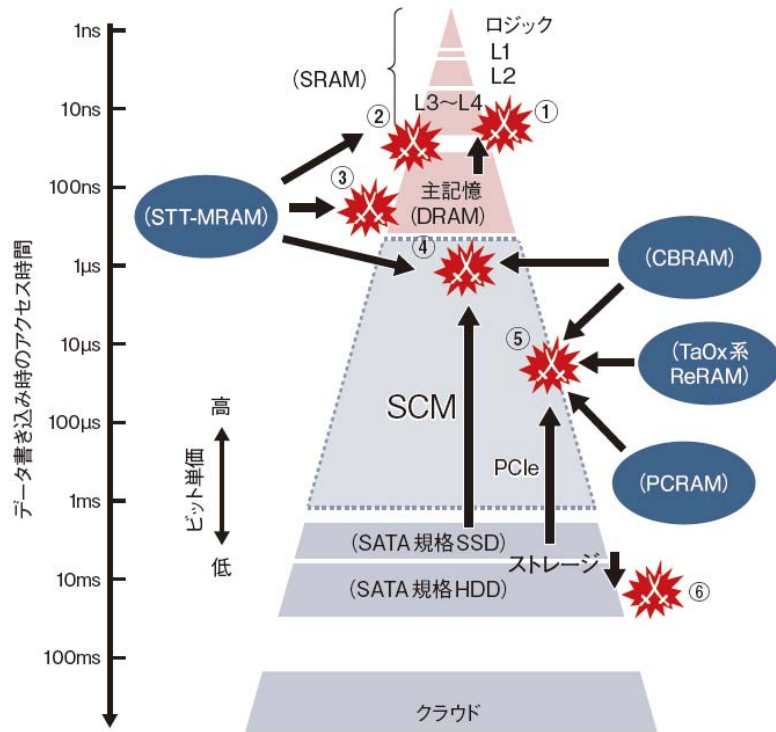




第1部：概況

激変するメモリー階層 微細化終焉と新技術台頭で

主記憶やストレージに使われてきたメモリー技術のすみ分けの構図が崩れる。様々なメモリーが互いに「版図」の拡大を狙う戦国時代に突入した。既存のSRAM、DRAM、NANDフラッシュメモリーに加えて、新たな不揮発性メモリー技術も領地の獲得に挑む。今後はどの技術がどの階層を占めるのか。技術開発の動向から将来を予測する。



- ① DRAMをプロセッサのチップ上に混載して、L3~L4キャッシュとして利用、またはプロセッサのパッケージ内にDRAMを取めて、データ書き込み遅延(アクセス時間)を低減する動き (AMD社、Intel社、Google社、Micron社など)
- ② STT-MRAMで、L2~L4キャッシュのSRAMを代替し、低消費電力化とキャッシュ面積の削減を図る動き (東芝、東北大学など)
- ③ DRAMの一部をSTT-MRAMで代替し、大幅な低消費電力化を図る動き。ただし、DRAMも[NVDIMM]などの不揮発性技術で対抗 (東芝とSK hynix社、Everspin社など)
- ④ STT-MRAMまたはReRAM (CBRAM) を、NVDIMMやストレージのキャッシュとして使い、データ書き込み遅延が1μs前後のSCMを実現する動き。NVDIMM中のNANDフラッシュメモリーの代替も想定 (ソニーなど)
- ⑤ SCMにおいてアクセス時間が10μs前後の領域をReRAM、PCRAMで実現しようとする動き。ただし、NANDフラッシュメモリーをPCI Expressに直結する動きが先行している
- ⑥ NANDフラッシュメモリーを高密度化し、ビット単価を下げ、HDDの一部代替を目指す動き

■ 揮発性メモリー
■ 不揮発性メモリー

CBRAM : conducting bridge random access memory
 DRAM : dynamic RAM PCRAM : phase change RAM
 ReRAM : resistive RAM SCM : storage class memory
 SSD : solid state drive SRAM : static RAM
 STT-MRAM : spin transfer torque-magnetic RAM

図1 メモリー階層のあちこちで新旧技術のせめぎあいが激化

高性能サーバー機などで利用されているメモリー技術群とそれらの更新や代替を狙っている新しいメモリー技術群を示した。既存のストレージはデータ書き込み時のアクセス時間が数ms以上かかるため、それを短縮する「ストレージクラスメモリー (SCM) 」という領域が新しいメモリー技術の大きなターゲットになっている。ただし、既存のNANDフラッシュメモリーなども、SCM向けにインターフェースを改善しており、新技術が無条件で入り込めるわけではない。



表1 さまざまなメモリー技術が登場

■は優れている ■は大きく劣る

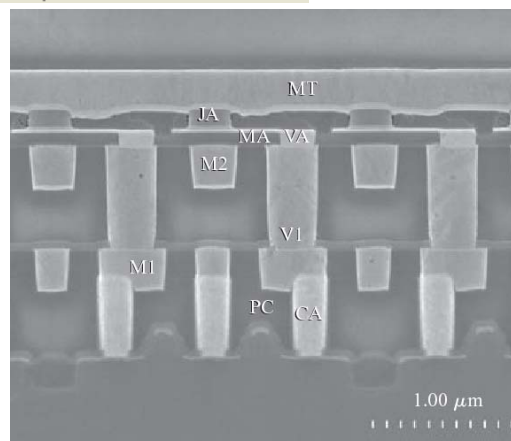
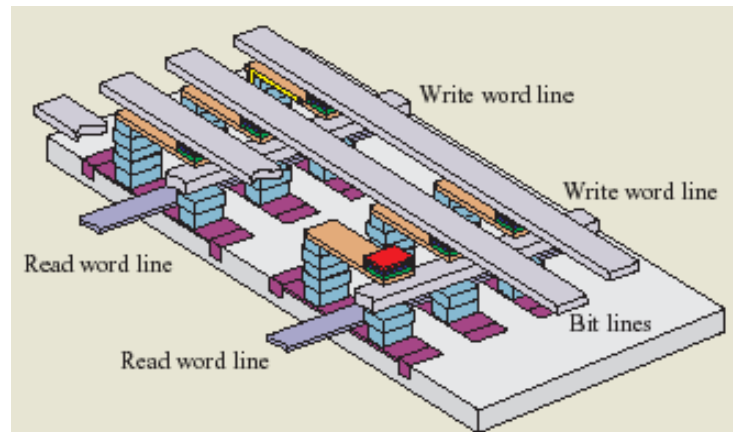
メモリー技術	SRAM	DRAM	STT-MRAM	PCRAM	FeRAM	ReRAM		NAND フラッシュ
						CBRAM	TaOx系 ReRAM	
不揮発性	×	×	○	○	○	○	○	○
書き換え可能回数	ほぼ無制限	ほぼ無制限	10 ¹² ~10 ¹⁶	10 ⁹ ~10 ¹²	10 ¹² 以下	10 ⁶ ~ ⁸	10 ⁶ ~ ⁸	10 ⁵ (SLC)、 10 ⁴ (MLC)、 10 ² (TLC)
セル面積	200~250F ²	6~10F ²	10~25F ²	5~10F ²	15F ²	5~10F ²	5~10F ²	1~4F ²
読み出し遅延	1ns以下	10n~30ns	3n~5ns	100ns	110ns	2μs* ³	5n~10ns	20μs~50ms
書き込み遅延	1ns以下	10ns	1n~3ns	5n~10ns	20ns以下	10μs* ³	10ns以下	60μs~100ms
データ保持時間* ¹	電源次第	100μs	10年	10年	10年	10年	10年	5~10年
動作電圧	1V前後	1V前後	2V以下	3~5V	3V	2~3V	2~3V	10V以上
微細化(動作実績)	14nm	20nm前後	20nm	20nm	28nm	10nm	28nm	15nm
1チップの容量 (実績)	64Mビット	16Gビット	64Mビット	8Gビット	128Mビット	16Gビット	32Gビット	128Gビット
書き込み時の 消費電力	10fJ/ビット 以下	100pJ/ビット	200fJ/ビット	10pJ/ビット	データなし	データなし	5pJ/ビット	約10nJ/ビット
ビット単価 (米ドル/Gビット)	1	0.5~1	50~100* ²	10以下	データなし	5000* ⁴	未公表	0.04 (一般消費者向け)
その他の長所	ロジックとほぼ同じプロセスで製造	積層が可能	原理的には10nm以下の微細化も可能	3次元化が可能	弱点が少ない	電流を低減しやすく、高密度化しやすい。3次元化が可能		3次元化した製品も出荷済み
その他の課題	リーク電流がある	頻繁なリフレッシュが必要	300mm ² ウエハーでの量産技術に課題。3次元化が容易ではない。微小電流で駆動できない	熱に弱い	2010年以降、目立った量産例がない	マルチパスの影響が出る恐れ		高電圧の生成で消費電力が大きい

F: 設計ルール *1 温度は85°Cを想定 *2 Everspin社の製品の場合 *3 ソニーの16Gビット品の場合 *4 Adesto社の製品の場合

Magnetoresistive Random Access Memory (MRAM)

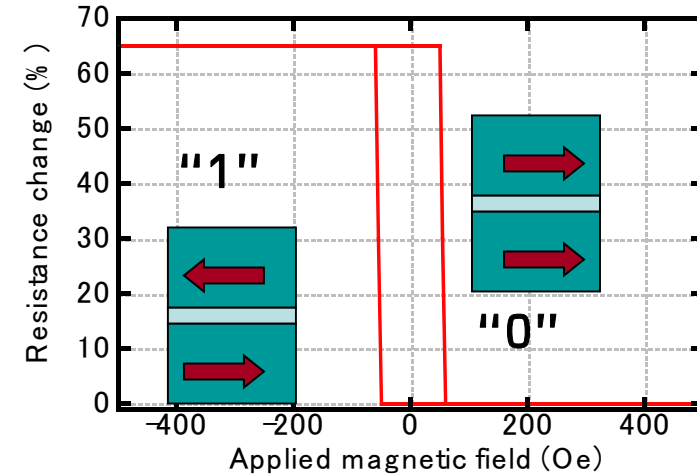
◆ Universal memory

- Non-volatile
- High performance
- Not expensive

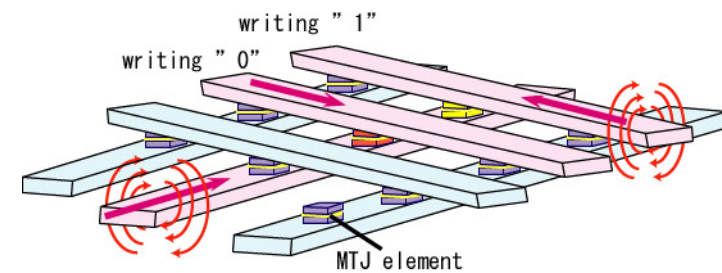


IBM J. Res. Dev. 50 (2006)

● 読み出し動作


















● 書き込み動作





ITRS Road map for MRAM

問題点: 書き込み電流(磁界)の低減

Year	2012	2014	2016	2018	2020	2022
Node (nm)	65	45				
Ic (uA)	175					
MR (%)	120	150	150	150	180	
消費電力 (pJ)	2.5					

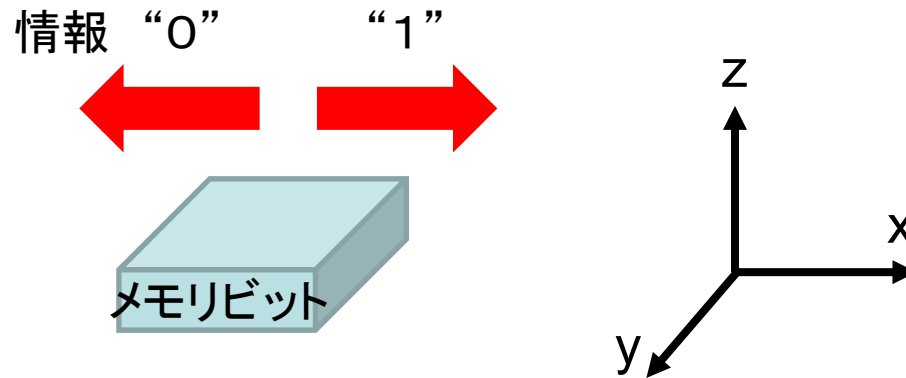


実際にやること





メモリセルの磁化反転シミュレーション



1. 磁性体の熱安定性を考えること。

10年間のメモリ状態の安定性を確保するためには、 $K_u V > 70k_B T$
(V : 磁性体の堆積、 K_u : 磁気異方性定数)

2. より少ない消費電力(磁界+時間)で磁化反転を行うこと。



1. 強磁性共鳴現象を利用して、磁性体の特性を評価

強磁性共鳴を測定し、自発磁化、ダンピング定数を求める。

2. 測定で得られた値を使って、シミュレーションを行う。

3. 最後に結果をまとめて発表する。



<https://spectrum.ieee.org/semiconductors/devices/the-nanosheet-transistor-is-the-next-and-maybe-last-step-in-moores-law>

<https://pc.watch.impress.co.jp/docs/news/1200644.html>